

Circuit for data linkage of two computers with one memory

Circuit for data linkage of two computers with one memory

Patent Number: DE3732007

Publication date: 1989-04-06

Inventor(s): KOSAK WOLFGANG DIPL ING (DE); MILLER NORBERT DIPL ING (DE);
BRAUN GUENTER (DE); SCHENK JOACHIM (DE); BLESSING DIETMAR
(DE)

Applicant(s):: BOSCH GMBH ROBERT (DE)

Requested
Patent: ☐ DE3732007

Application
Number: DE19873732007 19870923

Priority
Number(s): DE19873732007 19870923

IPC
Classification: G06F9/46 ; G06F13/36 ; G06F15/16

EC
Classification: G06F15/167

EC
Classification: G06F15/167

Equivalents:

Abstract

A circuit for data linkage of two computers (1, 2) with one memory (9) is proposed. Access by the individual computers to the common memory is controlled by a mutual, logical locking of the bus drivers (6, 7). The locking is done via the status signal (STATUS) of the computers (1, 2). The status signal is fed to one bus driver (6) directly, and fed to the other bus driver (7) inverted as a release signal.

BEST AVAILABLE COPY



DEUTSCHES
PATENTAMT

12 Offenlegungsschrift
11 DE 3732007 A1

51 Int. Cl. 4:
G 06 F 15/16
G 06 F 9/48
G 06 F 13/38

21 Aktenzeichen: P 37 32 007.6
22 Anmeldetag: 23. 9. 87
43 Offenlegungstag: 6. 4. 89

Behördeneigentum

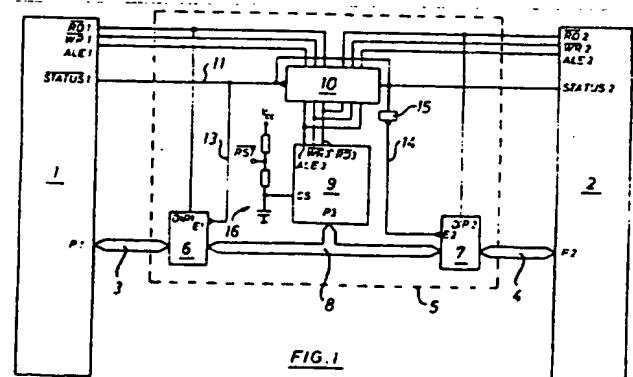
DE 3732007 A1

71 Anmelder:
Robert Bosch GmbH, 7000 Stuttgart, DE

72 Erfinder:
Schenk, Joachim, 7254 Hemmingen, DE; Kosak,
Wolfgang, Dipl.-Ing., 7141 Möglingen, DE; Braun,
Günter, 7120 Bietigheim-Bissingen, DE; Blessing,
Dietmar, 7038 Holzgerlingen, DE; Miller, Norbert,
Dipl.-Ing., 7101 Abstatt, DE

54 Schaltung zur Datenkopplung von zwei Rechnern mit einem Speicher

Es wird eine Schaltung zur Datenkopplung von zwei Rechnern (1, 2) mit einem Speicher (9) vorgeschlagen, wobei der Zugriff der einzelnen Rechner auf den gemeinsamen Speicher durch eine gegenseitige, logische Verriegelung der Bustreiber (6, 7) gesteuert wird. Die Verriegelung erfolgt über das Statussignal (STATUS) der Rechner (1, 2), das dem einen Bustreiber (6) direkt und dem anderen Bustreiber (7) invertiert als Freigabesignal zugeführt wird.



DE 3732007 A1

Patentansprüche

1. Schaltung zur Datenkopplung von zwei Rechnern (1, 2) mit einem Speicher (9), mit einer die zwei Rechner (1, 2) verbindenden Statusleitung (11) und mit einem ersten Bustreiber (6), mit einem zweiten Bustreiber (7) und mit einem Datenbus (3, 4, 8), der die beiden Rechner (1, 2) über die Bustreiber (6, 7) und den Speicher (9) verbindet, dadurch gekennzeichnet, daß die Statusleitung (11) eines Rechners (1) mit einem Freigabesteuereingang (E1) eines Bustreibers (6) direkt und mit einem Freigabesteuereingang (E2) des anderen Bustreibers (7) über ein Invertierglied (15) verbunden ist, so daß nur jeweils ein Bustreiber freigegeben und der andere Bustreiber gesperrt ist.

2. Schaltung nach Anspruch 1, dadurch gekennzeichnet, daß die Statusleitung (11) mit einem Zwischenschaltkreis (Buffer 10) verbunden ist, an den die Steuersignale (*RD* 1, *WR* 1, *ALE* 1 und *RD* 2, *WR* 2, *ALE* 2) beider Rechner (1, 2) angeschlossen sind und der je nach Schaltzustand der Statusleitung (11) die Steuersignale des Rechners zur Durchschaltung freigibt, dessen zugeordneter Bustreiber freigegeben ist.

3. Schaltung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß bei einer Erkennung eines Programmablauffehlers der entsprechende Rechner durch die Software bzw. Hardware zurückgesetzt wird und dadurch alle Anschlüsse (Ports) des entsprechenden Rechners auf "high" geschaltet werden, wodurch der andere Rechner weiter die Möglichkeit des Ein- und Auslesens aus dem Speicher (9) behält.

4. Schaltung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß der Speicher (9) über einen Freigabeanschluß (*CS*) freigegeben wird, wobei dieser über ein Zeitglied (16) sowohl mit der Versorgungsspannung (*V_{cc}*) als auch mit einer Rücksetzleitung (*RST*) verbunden ist, wobei über die Rücksetzleitung ein Rücksetzsignal in der Einschaltphase bzw. bei Einbruch der Digitalversorgung für eine definierte Zeit, z. B. durch einen Stabi, eine Unterspannungserkennungsschaltung oder eine externe Baugruppe gesendet wird.

Beschreibung

Die Erfindung betrifft eine Schaltung zur Datenkopplung von zwei Rechnern mit einem Speicher.

Ein bekanntes Multiprozessorsystem (DE-OS 35 02 721) mit einem gemeinsamen Multiplexer und gemeinsamen Speicher arbeitet asynchron. Dazu gibt der Multiplexer je nach Anforderung eines Prozessors einen zugehörigen Transceiver für die Daten und einen Adreßspeicher für die Adresse frei. Ein Prioritäts-Encoder gewährleistet dabei, daß immer nur ein Prozessor gleichzeitig Zugriff zum gemeinsamen Speicher hat. Die Kopplung zwischen den Prozessoren über den gemeinsamen Speicher dient zur Übermittlung von Steuervorgaben und gegenseitigen Übermittlung von Betriebsdaten. Bei der bekannten Schaltung ist ein Prioritäts-Encoder in jedem Fall notwendig, da der den Prozessoren niederer Priorität den Zugriff auf den gemeinsamen Speicher sperrt, wenn ein Prozessor höherer Priorität darauf zugreift. Bei der Verwendung von nur zwei Rechnern ist die bekannte Schaltung durch die Verwendung eines Prioritäts-Encoders relativ aufwendig.

Eine weitere, bekannte Lösung zur Kopplung von zwei Rechnern (Prozessoren) stellt der Einsatz eines sogenannten Dual-Port-Controllers dar (z. B. Valvo 74 LS 764/65). Diese Lösung ist jedoch bauteil- und platz-aufwendig sowie teuer.

Vorteile der Erfindung

Die erfindungsgemäße Schaltung mit den kennzeichnenden Merkmalen des Hauptanspruchs hat demgegenüber den Vorteil, daß der Zugriff der beiden Rechner zum gemeinsamen Speicher auf einfache Weise über die Statusleitung und eine logische Verriegelung der beiden Bustreiber gesteuert wird. Durch diese logische Verknüpfung ist die Schaltung funktionssicher und durch die invertierte Bustreiberfreigabe ist eine Buskollision ausgeschlossen, da sich ein Bustreiber grundsätzlich im hochohmigen Zustand (Tristate) befindet. Die Schaltung ist durch den möglichen Einsatz von Standardbauelementen preisgünstig und wegen des geringen Bauelementebedarfs zudem platzsparend. Die Zugriffszeiten sind schnell und nur vom Speicher und Bustreiber abhängig. Der Anschlußaufwand ist gering (25 Leitungen incl. Versorgung und Reset). Weiter ist die Schaltung kompatibel für gemultiplexte Adreß-/Datenbusse. Zudem ist die Schaltung softwarefreundlich, da sowohl ein Handshake- und Master-Slave-Verfahren möglich ist, bei minimalem Steuerungsaufwand (pro Rechner ein Einzelport).

Zweckmäßig werden die Statusleitungen mit einem Zwischenschaltkreis (Buffer) verbunden, mit dem die Steuersignale (*RD*, *WR*, *ALE*) der beiden Rechner je nach dem Schaltzustand der Statusleitungen zum Speicher freigegeben sind. Somit ist auch hier durch eine logische Verknüpfung eine Verriegelung bei den Steuersignalen verwirklicht, die die Funktionssicherheit erhöht.

Eine vorteilhafte Weiterbildung wird erreicht, wenn bei einer Erkennung eines Programmablauffehlers im entsprechenden Rechner alle Anschlüsse (Ports) auf "high" geschaltet werden. Dadurch ist ein einseitiger Datenverkehr mit dem Speicher bei Ausfall eines Rechners und somit eine Notlauffunktion möglich.

Auch bei Ausfall beider Rechner ist eine Buskollision bzw. ein Buskurzschluß durch die logische Verknüpfung der Bustreiber ausgeschlossen.

Durch die Verwendung eines Zeitglieds am Freigabeanschluß (*CS*) des Speichers wird eine Datensicherung beim Ein- bzw. Ausschalten sowie beim Einbruch der Versorgung erreicht. Während der Einschaltphase wird der Speicher durch ein Rücksetzsignal und anschließend durch das Zeitglied verzögert freigegeben. Beim Ausschalten sowie bei Versorgungseinbrüchen sichert das Zeitglied, daß ein evtl. laufender Schreibvorgang abgeschlossen werden kann.

Zeichnung

Die Erfindung wird anhand der Zeichnung näher erläutert. Die einzige Fig. zeigt eine Schaltung mit zwei Rechnern, die über einen Speicher gekoppelt sind.

In der Fig. sind zwei Rechner 1, 2 dargestellt, die über Ports *P*1, *P*2 an Busse 3, 4 angeschlossen sind. Der strichliert eingerahmte Schaltungsteil 5, in den die Busse 3, 4 führen, entspricht somit einem Speicher zur Datenkopplung der beiden Rechner 1, 2 mit jeweils einem Port (Dual-Port-RAM).

Sowohl der Bus 3 als auch der Bus 4 führen zu ent-

sprechenden Bustreibern 6, 7 und über einen gemeinsamen Bus 8 zu einem Port P3 eines Speichers 9 (RAM). Der Busanschluß der beiden Rechner 1 und 2 an den Speicher 9 ist somit völlig symmetrisch.

Lesesignale $\overline{RD1}$ und $\overline{RD2}$ sowie Schreibsignale $\overline{WR1}$ und $\overline{WR2}$ sind über einen Zwischenschaltkreis 10 (Buffer) zum Speicher 9 geführt. Durch Signale an den Rechnerausgängen $ALE1$ bzw. $ALE2$ (Adress Latch Enable) wird der im Speicher 9 enthaltene Adreßspeicher aktiviert. Diese Signale sind ebenfalls über den Zwischenschaltkreis 10 geführt. Das Lesesignal $\overline{RD1}$ bzw. $\overline{RD2}$ ist zusätzlich in einer Abzweigung vor dem Zwischenschaltkreis 10 auf die entsprechenden Bustreiber 6 bzw. 7 an einen Eingang $DIR1$ bzw. $DIR2$ geführt, wodurch je nach Schaltzustand eine Busrichtung durch den entsprechenden Bustreiber 6 bzw. 7 freigegeben wird. Somit ist auch der Anschluß der beiden Rechner 1, 2 hinsichtlich der Steuerleitungen symmetrisch.

Die Statussignalleitung 11 führt vom Anschluß $STATUS1$ des Rechners 1 zum Zwischenschaltkreis 10, einem Invertierglied (15) sowie zum Anschluß $STATUS2$ des Rechners 2. Die Statusleitung 11 ist über eine weitere Leitung 13 mit einem Freigabeeingang $E1$ des Bustreibers 6 verbunden. Der Bustreiber 7 bzw. dessen Freigabeeingang $E2$ ist über eine Leitung 14 und ein Invertierglied 15 ebenfalls mit der Statussignalleitung 11 der Rechner verbunden.

An einem Freigabeanschluß CS des Speichers 9 ist über ein Zeitglied 16 sowohl die Versorgungsspannung V_{cc} sowie ein Rücksetzsignal \overline{RST} angeschlossen. Die Lesesignale $\overline{RD1}$ bzw. $\overline{RD2}$, die Schreibsignale $\overline{WR1}$ bzw. $\overline{WR2}$ und die ALE -Signale sind über den Zwischenschaltkreis 10 an entsprechende Anschlüsse $\overline{RD3}$, $\overline{WR3}$ und $ALE3$ des Speichers 9 geführt.

Die Funktion der Schaltung wird anhand des Beispiels eines Lesezyklus des Rechners 2 aus dem Speicher 9 erläutert. Der Rechner 1 ist dabei der Master-Rechner. Für den Lesezyklus des Rechners 2 liegt der Ausgang $STATUS1$ des Rechners 1 auf "high." Dadurch wird über die Leitung 13 der Bustreiber entsprechend angesteuert und in den hochohmigen Zustand (Tristate) geschaltet. Zugleich wird über die Leitung 14 auch der Bustreiber 7 angesteuert, jedoch wegen des Invertierglieds 15 mit "low"-Signale, wodurch über den Bustreiber 7 der Zugriff für den Rechner 2 auf den Speicher 9 freigegeben wird.

Der Rechner 2 kann nun zu einem beliebigen Zeitpunkt (beispielsweise über die Statussignalleitung 11 "select" = "low") seine Steuersignale $\overline{RD2}$, $\overline{WR2}$, $ALE2$ über den Zwischenschaltkreis 10 auf den Speicher 9 schalten. Der Adreßdatenbus des Rechners 2 ist dabei (select = "low") über den Bustreiber 7 auf den Speicher 9 geschaltet. Zu Beginn des Lesevorgangs wird die Speicheradresse vom Rechner 2 auf den Bus 4, 8 gelegt und mit dem Signal $ALE2$ = "high" vom Speicher 9 übernommen. Danach wird mit dem Signal $\overline{RD2}$ = "low" die Busrichtung umgekehrt und die vom Speicher bereitgestellten Daten vom Rechner 2 übernommen.

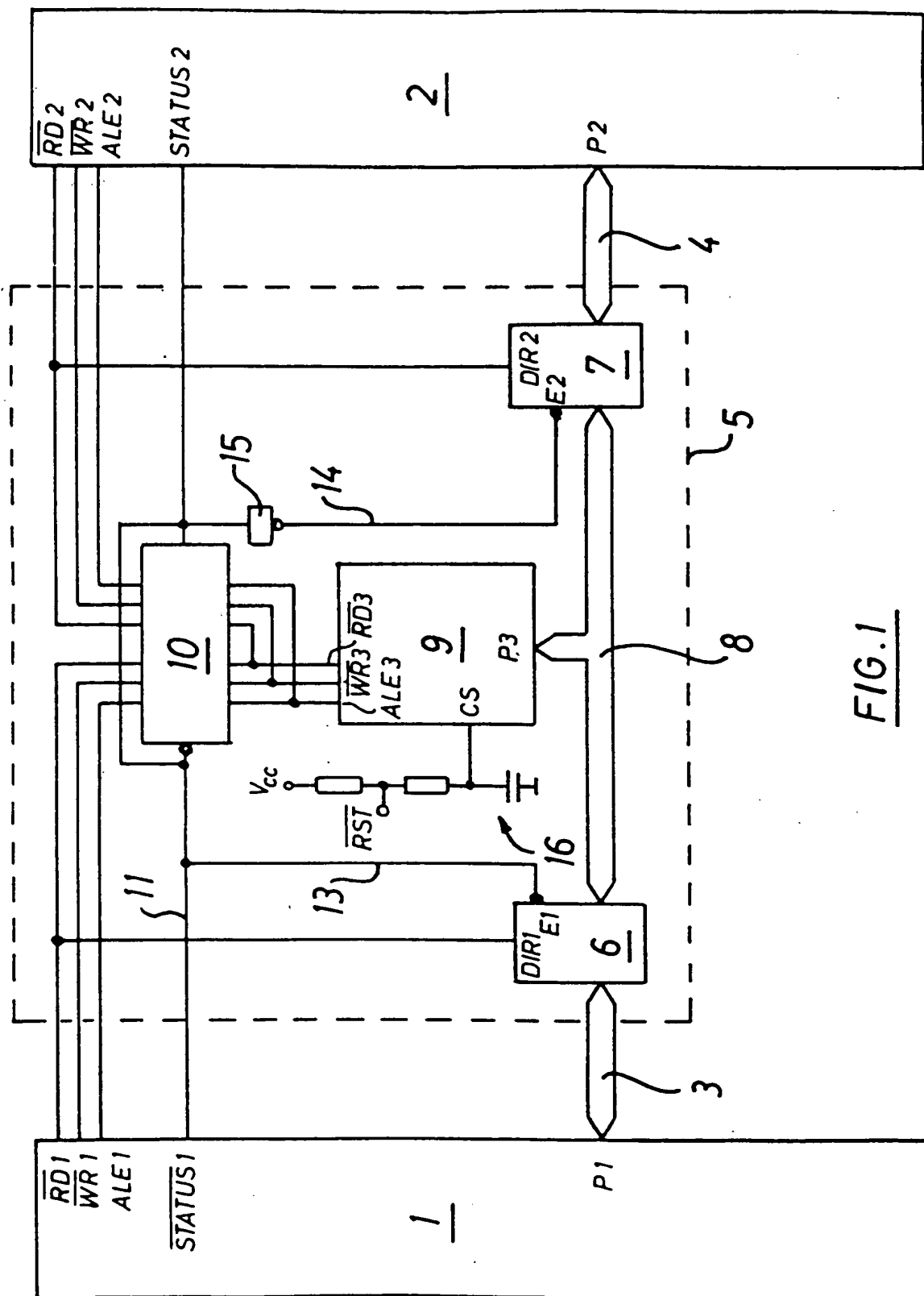


FIG. 1